

**This Page Is Inserted by IFW Operations
and is not a part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 54-146555

(43)Date of publication of application : 15.11.1979

(51)Int.Cl.

G06F 15/16
G06F 3/00

(21)Application number : 53-055204

(71)Applicant : NEC CORP

(22)Date of filing : 09.05.1978

(72)Inventor : TAKAGAKI KAZUO

(54) DATA TRANSFER SYSTEM BETWEEN PROCESSORS

(57)Abstract:

PURPOSE: To enable an immediate data transfer process for the reading command after the end of the data transfer process of the writing command by giving previously the reading command to the 3rd processor.

CONSTITUTION: The 3rd processor existing between the 1st and 2nd processors comprises transfer circuit 10 which shares the data transfer for both processors, transfer circuit 11 which transfers the data in the opposite direction, and command distribution circuit 12 which distributes the commands given from the 1st and 2nd processors to circuit 10 and 11. In case the writing command is given after the reading command, the reading command from circuit 12 is stored in reading command register 115. Then the writing is given to buffer 111 when the writing command is stored into writing command register 114 via circuit 12. The reading is carried out from buffer 111 when the writing is over. In case the reading command is given after the writing order, the command is stored into register 114 and then the writing is given to buffer 111 to be then read out by the reading command given to register 115.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2000 Japan Patent Office

⑫公開特許公報 (A)

昭54—146555

⑤Int. Cl.²
G 06 F 15/16
G 06 F 3/00

識別記号 ⑥日本分類
97(7) H 1
1 0 1 97(7) D 0

庁内整理番号 ④公開 昭和54年(1979)11月15日
7165—5 B
6711—5 B

発明の数 1
審査請求 未請求

(全 5 頁)

⑭処理装置間のデータ転送方式

東京都港区芝五丁目33番1号

日本電気株式会社内

⑮特 願 昭53—55204

⑯出 願 人 日本電気株式会社

⑰出 願 昭53(1978)5月9日

東京都港区芝五丁目33番1号

⑱発 明 者 高垣和雄

⑲代 理 人 弁理士 内原晋

明 細 書

1. 発明の名称

処理装置間のデータ転送方式

その読出し動作を前記第2の処理装置で実行する
ようにし、

前記組み合わせられた指令以外の指令が与えられ
たときはその指令に基づいた動作をするようにし
たことを特徴とする処理装置間のデータ転送方式。

2. 特許請求の範囲

第1の処理装置と第2の処理装置との間に第3
の処理装置を介してデータ転送を行なう処理装置
間のデータ転送方式において、

前記第3の処理装置にデータを格納する格納手
段を設け、

前記第1の処理装置から読出し指令が与えられ
た後前記第2の処理装置からデータ転送を指示す
る書き込み指令が与えられたときには前記第2の処
理装置から転送されたデータが前記格納手段に格
納された後前記第1の処理装置からの読出し指令
を実行するようにし、

前記第1の処理装置から与えられた書き込み指令
にもとづいて書き込み動作を実行した後前記第2
の処理装置から読出し指令が与えられたときには

3. 発明の詳細な説明

本発明は複数の処理装置間で他の処理装を介し
てデータ転送を行なう処理装置間のデータ転送方
式に関する。

従来の処理装置間のデータ転送方式は、第1図
に示すような構成を用いて行なわれている。すな
わち、中央処理装置4と記憶装置6とを有する第
1の処理装置1、中央処理装置5と記憶装置7と
を有する第2の処理装置2、これらの処理装置1
および2のそれぞれと直接接続される第3の処理
装置3および複数の周辺制御装置8～Nからなる
構成を用いている。なお、前記第1の処理装置1
と前記第2の処理装置2との間に直接接続関係は
ない。

いま、前記第1の処理装置1と前記第2の処理装置2との間で図示されていない外部記憶装置を共用する場合には両装置1および2間で各自装置の外部記憶装置の使用状況を交換する必要がでてくる。

この交換を相互に非同期に行なおうとする場合には、前記第3の処理装置3の有効な利用を図ることが必要になる。

以下この第3の処理装置3を利用した従来のデータ転送方式の動作について説明する。

まず、第1の処理装置1から第2の処理装置2へデータを転送しようとする場合、第1の処理装置1は第3の処理装置3に対してデータ転送指示情報を送出し、この指示情報を与えられた第3の処理装置3は第2の処理装置2に対しデータ転送を通知する情報を送出し、この通知情報を与えられた第2の処理装置はデータを受け取れるか否かをソフトウェアで処理し第3の処理装置3が第2の処理装置2にデータを転送するように指示する情報を送出する。

- 3 -

にもとづいて書き込み動作を実行した後前記第2の処理装置から読出し指令が与えられたときにはその供給に応答して読出し動作を実行するようにし

前記組み合わされた指令以外の指令が与えられたときはその指令に基づいた動作をするようにしたことを特徴とする。

次に本発明の一実施例について図面を参照して詳細に説明する。

本発明の方式は、両装置1および2間に介在する第3の処理装置3の構成に特徴がある。

この第3の処理装置3は、第2の処理装置2から第1の処理装置1に対するデータ転送を分担する転送回路10、これとは逆方向である第1の処理装置1から第2の処理装置2に対するデータ転送を分担する転送回路11および両装置1および2から与えられる指令を両転送回路10および11に分配する指令分配回路から構成されている。

転送回路10と転送回路11は、データの転送方向が異なるだけで、論理的には同じ回路構成で

- 5 -

特開昭54-146555(2)

この方式の詳細は特公昭49-35570号公報に記載されている。この方式はデータ転送の度に必ず処理装置1または2のソフトウェア処理が介在するため全体のデータ転送時間が長くなるという欠点がある。

本発明の目的はデータ転送をしようとする両装置間の転送時間を短縮するようにした処理装置間のデータ転送方式を提供することにある。

本発明の方式は、第1の処理装置と第2の処理装置との間に第3の処理装置を介してデータ転送を行なう処理装置間のデータ転送方式において、

前記第3の処理装置にデータを格納する格納手段を設け、

前記第1の処理装置から読出し指令が与えられた後前記第2の処理装置からデータ転送を指示する書き込み指令が与えられたときには前記第2の処理装置から転送されたデータが前記格納手段に格納された後前記第1の処理装置からの読出し指令を実行するようにし、

前記第1の処理装置から与えられた書き込み指令

- 4 -

ある。従つて以下の指令分配回路12と転送回路11について説明する。指令分配回路12は第1の処理装置1からのデータを転送するデータ転送路と第2の処理装置2からのデータを転送するデータ転送路に接続されており、両方のデータ転送路からの指令を受け取り、それを解読後、転送回路10および11に供給する。転送回路11は、2個のレジスタ11 4、および11 5、3個のゲート11 2、11 3および11 6、4個のフリップフロップ11 10、11 11、11 12および11 13、4個のAND素子11 14、11 15、11 16および11 17、2個のデコーダ11 7および11 8、2個のタイマー回路11 18および11 20、転送データを一時蓄えるためのバッファ11 1、そのバッファ11 1への書き込みとそれからの読出しを制御する回路11 9およびある動作が終了した旨を第1の処理装置1と第2の処理装置2に報告する回路11 19から構成されている。

指令分配回路12から送出される指令がライト

- 6 -

指令であればゲート112を介してライト指令レジスタ114に格納され、リード指令であればゲート113を介してリード指令レジスタ115に格納される。

ライト指令レジスタ114に指令が格納されたとき線R2を介してライト指令受付けを表示するフリップフロップ1111が設定され、リード指令レジスタ115に指令が格納されたとき線R3を介してリード指令受付けを表示するフリップフロップ1112が設定される。これらの指令レジスタ114および115に格納された指令はそれぞれデコーダ117および118で解読され制御回路119に与えられる。この制御回路119に与えられた指令の解読結果にもとづいて、パツファ111への書き込み動作または読出し動作がなされる。この動作が終了すると終了を示す信号を線BWを介して書き込み動作終了を示すフリップフロップ1110に与え、または線R2を介して読出し動作終了を示すフリップフロップ1113に与えそれぞれのフリップフロップ1110および1113を設定する。

-7-

1. まず第1に読出し指令のあとに書き込み指令が与えられたときの動作について述べる。

1) 初期状態においてゲート112およびゲート113は開放状態にあり、ゲート116は閉鎖され各フリップフロップ1110, 1111, 1112および1113、タイマー回路1118および1120はリセット状態にある。第1の処理装置1から指令分配回路12に読出し指令が格納され解読される。解読された指令はゲート113を介してリード指令レジスタ115にリード指令を格納する。その後線R3にパルスが1つ発生する。リード指令受付け表示フリップフロップ1112が設定され、出力F31が"1"となりゲート113が閉鎖される。AND回路1117はリード指令受付け中で書き込み動作をしないため出力が"1"となりタイマー回路1120が設定される。

2) 以下、書き込み指令がある一定時間内に与えられるか否かで動作が2つに分かれる。

1) 書き込み指令が与えられないとき

-9-

特開昭54-146555(3)

これらのフリップフロップのうち書き込み動作終了を表示するフリップフロップ1110が設定され未だ読出し動作終了を表示するフリップフロップ1113とが設定されていない場合にはその設定から所定の時間経過したときに第1のタイマー回路1114からその旨を表示する信号を線T01に送出する。また前記フリップフロップ1110が書き込み動作の終了を表示していないとき、すなわち線F10に信号を出力して読出し指令の受付け状態をフリップフロップ1112で表示しているとき第2のタイマー回路1120は設定され所定の時間経過後経過を表示する信号を線T02に送出する。これらの線T01およびT02を介して前記信号を終了報告転送回路1119に与え、この転送回路1119から第1の処理装置1または第2の処理装置2に対し終了報告信号を送出する。

この終了報告信号の送出後前記転送回路1119からリセット信号を送出し前記転送回路11内の各回路を初期状態とする。

次にさらに動作について詳細に説明する。

-8-

タイマー回路1120で所定の時間経過後線T02にその旨を示す信号が出力され、この信号を与えられた終了報告転送回路1119は転送回路11内の各回路を初期状態に設定後、読出し指令で所定の時間経過したことを第1の処理装置1と第2の処理装置2とに報告する。この後読出し指令の供給は中止される。

2) 書き込み指令が与えられるとき

指令分配回路12からゲート112を介して書き込み指令レジスタ114に指令が格納されデコーダ117により解読されパツファ111へ書き込み動作が開始される。これとともに線R2に1個の信号が送出される。この信号により書き込み指令受付け中のフリップフロップ1111が設定されゲート112が閉鎖される。パツファ111への書き込み動作が終了すると制御回路119が線BWに信号が送出される。この信号により書き込み終了フリップフロップ1110が設

-10-

定され線F11が“1”となる。書き込み動作が終了し読出し動作もしていない場合タイマー回路1118が設定され動作が開始する。

このとき書き込み動作が終了し読出し指令受付中であればゲート116が開放される。書き込み動作が終了するまで読出し指令レジスタ115に保留されていた読出し指令がゲート116を介してデコーダ118で解読され、バッファ111からの読出し動作が開始される。この読出し動作が終了したとき制御回路119から線BRに信号が1つ出力され、読出し終了フリップフロップ1113が設定され出力F41が“1”となる。書き込み動作終了フリップフロップの出力F11が“1”でありかつ前記出力F41が“1”であるためアンドゲート1115が“1”となる。この結果終了報告転送回路1119から転送回路11内の各回路が初期状態に設定されるとともに前記第1の処理

-11-

1118が動作し始める。

- 2) 以下読出し指令が一定時間内に与えられるかにより2つに分けられる。

- 1) 読出し指令が与えられないとき

タイマー回路1118で時間の経過を示す信号が発生すると線T01を介して終了報告転送回路1119に与えられ、転送回路11内の各回路を初期状態にした後、書き込み指令で時間経過が生じた旨を第1の処理装置1と第2の処理装置2に報告する。その後書き込み指令は中止される。

- 2) 読出し指令が与えられたとき

指令分配回路12からゲート113を介して読出し指令レジスタ115に読出し指令が格納される。線R3に信号が発生され読出し指令フリップフロップ1112が設定され出力F31が“1”となる。これとともに書き込み終了フリップフロップ1110が“1”に設定されているためアンドゲート1116を介してゲート116を開放し格納された読出し指令

-13-

装置1と第2の処理装置2に正常終了報告信号を送る。

2. 次に書き込み指令のあとに読出し指令が与えられたときの動作について述べる。

- 1) 初期状態は前述の1と同様である。まず前記第1の処理回路1から書き込み指令が指令分配回路12に格納され解読される。

この指令分配回路12からゲート112を介して書き込み指令レジスタ114に書き込み指令が格納される。この格納とともに線R2に信号が供給されるとともにデコーダ117で解読された結果が制御回路119に与えられ書き込み動作が開始される。線R2に与えられた信号により書き込み指令受けフリップフロップ1111が設定されゲート112が閉鎖される。書き込み動作の終了により制御回路119から線BRに信号が送出され、書き込み終了フリップフロップ1110が設定され線F11が1となるとともに、読出し終了フリップフロップ1113がリセットされタイマー回路

-12-

をデコーダ118で解読し制御回路119は読出し動作を開始する。読出し動作の終了後は上述の1項の動作と同様である。

以上の点から第2図に示す回路を第3の処理装置3に具備することにより第3の処理装置3に予め読出し指令が与えられたときに書き込み指令が与えられると書き込み動作後直ちに読出し指令の実行が開始される。また第3の処理装置3に対し予め書き込み指令が与えられたときに読出し指令が与えられていたときに読出し指令が与えられると既にバッファ111に記憶された内容を直ちに読み出すことが可能である。

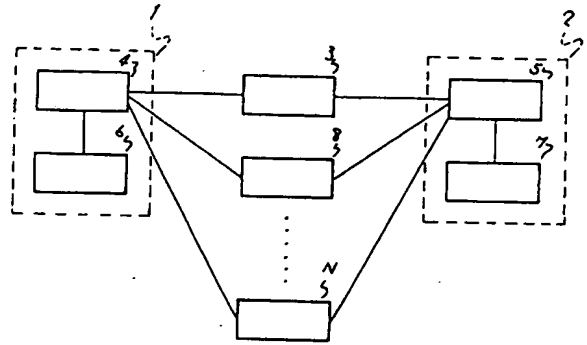
本発明には以上説明したように、読出し指令をあらかじめ第3の処理装置に与えておくことにより書き込み指令のデータ転送処理が終了すると、すぐに受け取る側のソフトウェア処理の介在なしに読出し指令のデータ転送処理を行うことができ、処理装置間のデータ転送時間を短縮することができるという効果がある。

-14-

4. 図面の簡単な説明

第1図は本発明の一実施例を示す図および第2図は第1図の第3の処理装置内の転送回路を示す図である。

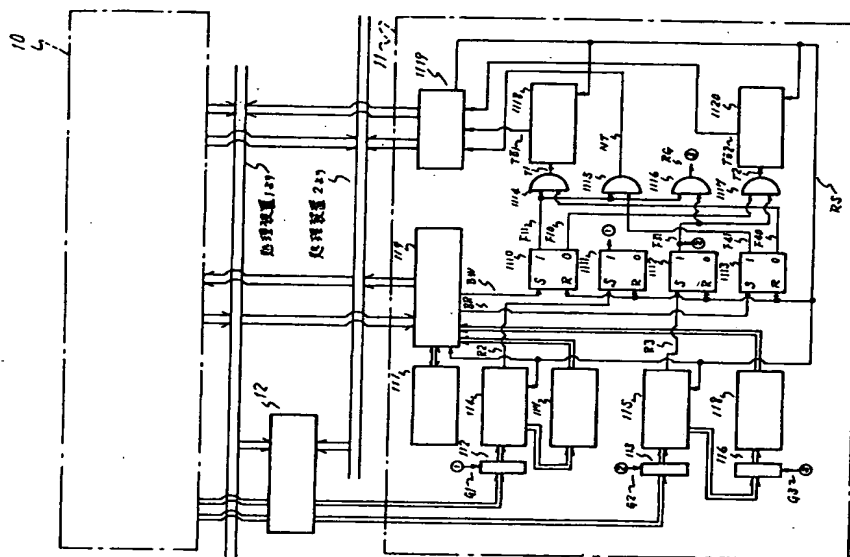
第1図および第2図において、1……第1の処理装置、2……第2の処理装置、3……第3の処理装置、4, 5……中央処理装置、6, 7……記憶装置、8~N……周辺制御装置、111……パツファ、112, 113, 116……ゲート、114……書き込み指令レジスタ、115……読出し指令レジスタ、117, 118……デコーダ、119……制御回路、1110~1113……フリップフロップ、1114~1117……アンド素子、1119……終了報告転送回路、1118, 1120……タイマー回路。



第1図

代理人 弁理士 内原 晋

-15-



第2図